

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-177744

(43)Date of publication of application : 24.06.1994

(51)Int.Cl.

H03K 19/0185

(21)Application number : 04-325117 (71)Applicant : NEC CORP

(22)Date of filing : 04.12.1992 (72)Inventor : NAKANO FUMIO

(54) LEVEL CONVERSION CIRCUIT

(57)Abstract:

PURPOSE: To reduce power consumption by forming a circuit converting a small amplitude high speed complementary signal to a CMOS logic level with two of PMOS transistors(TRs)NMOS TRs and CMOS inverter circuits.

CONSTITUTION: A power supply voltage is applied to a source of a PMOS TR 1 when a node A is at an H level and a node B is at an L level corresponding to input terminals 5152 and an ON-resistance of the TR1 is set higher to set a gate potential to an H level. Furthermore a power supply voltage is applied to a gate of an NMOS TR 3 and an ON-resistance of the TR 3 is decreased to set a source potential to an L level thereby reducing a potential at a node D and inverting an output level at the node E of an output terminal 54 at a CMOS inverter circuit 6 and the resulting signal is outputted as a power supply voltage. Furthermore a PMOS TR 2an NMOS TR 4 and a CMOS inverter circuit 5 are activated by the similar method and a ground potential is outputted from a node F of the output terminal 53.

CLAIMS

[Claim(s)]

[Claim 1]A level conversion circuit comprising:

The 1st PMOS transistor by which a power supply by the side of high potential is supplied to saucea gate is connected to the 1st input terminaland a drain is connected to the predetermined node D.

The 1st NMOS transistor by which a drain is connected to said node Da power supply by the side of high potential is supplied to a gateand sauce is connected to the 2nd input terminal.

The 2nd PMOS transistor by which a power supply by the side of high potential is supplied to saucea gate is connected to said 2nd input terminaland a drain is connected to the predetermined node C.

The 2nd NMOS transistor by which a drain is connected to said node Ca power supply by the side of high potential is supplied to a gateand sauce is connected to said 1st input terminalThe 1st CMOS buffer circuit where an input edge is connected to said node Cand an outgoing end is connected to the 1st output terminaland the 2nd CMOS buffer circuit where an input edge is connected to said node Dand an outgoing end is connected to the 2nd output terminal.

[Claim 2]A level conversion circuit comprising:

The 1st NMOS transistor by which a power supply by the side of low voltage is supplied to saucea gate is connected to the 1st input terminaland a drain is connected to the predetermined node D.

The 1st PMOS transistor by which a drain is connected to said node Na power supply by the side of low voltage is supplied to a gateand sauce is connected to the 2nd input terminal.

The 2nd NMOS transistor by which a power supply by the side of low voltage is supplied to saucea gate is connected to said 2nd input terminaland a drain is connected to the predetermined node C.

The 2nd PMOS transistor by which a drain is connected to said node Ca power supply by the side of low voltage is supplied to a gateand sauce is connected to said 1st input terminalThe 1st CMOS buffer circuit where an input edge is connected to said node Cand an outgoing end is connected to the 1st output terminaland the 2nd CMOS buffer circuit where an input edge is connected to said node Dand an outgoing end is connected to the 2nd output terminal.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application]Especially this invention relates to the level conversion circuit used in order to change the high-speed complementary signal of small-size width into a CMOS logical level about a level conversion circuit.

[0002]

[Description of the Prior Art]The conventional level conversion circuit is constituted as a circuit of CMOS which carries out logical level conversion in response to the complementary signal of amplitude 0.8V (main ***** of amplitude: about 1.3V) gradeas an example is shown in drawing 5. As shown in drawing 5the conventional

level conversion circuit. The single-ended level conversion circuit 7 which comprises PMOS transistors 8 and 9, NMOS transistors 10 and 11, and CMOS inverter circuit 12 corresponding to the input terminals 51 and 52 and the output terminals 53 and 54. It has the single-ended level conversion circuit 13 which comprises NMOS transistors 14 and 15, PMOS transistors 16 and 17, and CMOS inverter circuit 18 and is constituted. Drawing 6 (a), (b), and (c) is a figure showing each waveform of operation in each node A, B, C, D, E, and F of this conventional example shown in drawing 5.

[0003] Operation of the introduction single-ended level conversion circuit 7 is explained. In drawing 5, it corresponds to the complementary input signal inputted into the input terminals 51 and 52. When the node A in the single-ended level conversion circuit 7 is "H" level (about 1.7V) and the node B is the "L" level (about 0.9V), power-supply-voltage V_{DD} is supplied to the source of PMOS transistor 8.

In [since gate potential is set to "H" level, the on resistance value of PMOS transistor 8 becomes high, and] NMOS transistor 10. The gate is connected to the drain, since source potential is set to the "L" level, the on resistance value of NMOS transistor 10 falls, and the potential of the node D falls in about 2V.

As for PMOS transistor 9, in one side, power-supply-voltage V_{DD} is supplied to source.

In [since gate potential is set to the "L" level, the on resistance value of PMOS transistor 9 falls, and] NMOS transistor 11. The gate is connected to the node D, since source potential is set to "H" level, the on resistance value of NMOS transistor 11 becomes high, and the potential of the node C rises to about 4V.

Therefore, CMOS inverter circuit 12 is reversed and the potential of the output in the output terminal 53 (potential of the node F) is outputted as earth potentials.

[0004] Corresponding to the complementary input signal inputted into the input terminals 51 and 52, when the potential of the node A is [the potential of the node B] "H" level on the "L" level, power-supply-voltage V_{DD} is supplied to the source of PMOS transistor 8.

In [since gate potential is set to the "L" level, the on resistance value of PMOS transistor 8 falls, and] NMOS transistor 10. The gate is connected to the drain, since source potential is set to "H" level, the on resistance value of NMOS transistor 10 becomes high, and the potential of the node D rises to about 3V.

As for PMOS transistor 9, in another side, power-supply-voltage V_{DD} is supplied to source.

In [since gate potential is set to "H" level, the on resistance value of PMOS transistor 9 becomes high, and] NMOS transistor 11. The gate is connected to the node D, since source potential is set to the "L" level, the on resistance value of NMOS transistor 11 falls, and the potential of the node C falls in about 1V.

Therefore, CMOS inverter circuit 12 is reversed and the potential (potential of the node F) of the output in the output terminal 53 is outputted as power supply potential (5V).

[0005] Although it is the same as that of the case of the above-mentioned single-

ended level conversion circuit 7 also about operation of the single-ended level conversion circuit 13 Since the input serves as connection with the reverse single-ended level conversion circuit 7 from the output terminal 54 (node E) the signal of an opposite phase is outputted to the output of the output terminal 53. Therefore the complementary input signal of about [0.8V] amplitude is changed and outputted to the complementary signal of the CMOS level which is 0/5V.

[0006]

[Problem(s) to be Solved by the Invention] In the conventional level conversion circuit mentioned above since two single-ended level conversion circuits are used there is a fault that the power consumption which there is a fault of becoming so large that necessity of about 12 MOS transistors being carried out as circuit structure and eye others takes also increases.

[0007]

[Means for Solving the Problem] A level conversion circuit of the 1st invention is provided with the following.

The 1st PMOS transistor by which a power supply by the side of high potential is supplied to source gate is connected to the 1st input terminal and a drain is connected to the predetermined node D.

The 1st NMOS transistor by which a drain is connected to said node D a power supply by the side of high potential is supplied to a gate and source is connected to the 2nd input terminal.

The 2nd PMOS transistor by which a power supply by the side of high potential is supplied to source gate is connected to said 2nd input terminal and a drain is connected to the predetermined node C The 2nd NMOS transistor by which a drain is connected to said node C a power supply by the side of high potential is supplied to a gate and source is connected to said 1st input terminal The 1st CMOS buffer circuit where an input edge is connected to said node C and an outgoing end is connected to the 1st output terminal and the 2nd CMOS buffer circuit where an input edge is connected to said node D and an outgoing end is connected to the 2nd output terminal.

[0008] A level conversion circuit of the 2nd invention is provided with the following.

The 1st NMOS transistor by which a power supply by the side of low voltage is supplied to source gate is connected to the 1st input terminal and a drain is connected to the predetermined node D.

The 1st PMOS transistor by which a drain is connected to said node N a power supply by the side of low voltage is supplied to a gate and source is connected to the 2nd input terminal.

The 2nd NMOS transistor by which a power supply by the side of low voltage is supplied to source gate is connected to said 2nd input terminal and a drain is connected to the predetermined node C The 2nd PMOS transistor by which a drain is connected to said node C a power supply by the side of low voltage is supplied to a

gate and source is connected to said 1st input terminal. The 1st CMOS buffer circuit where an input edge is connected to said node C and an outgoing end is connected to the 1st output terminal and the 2nd CMOS buffer circuit where an input edge is connected to said node D and an outgoing end is connected to the 2nd output terminal.

[0009]

[Example] Next this invention is explained with reference to drawings.

[0010] Drawing 1 is a circuit diagram showing the 1st example of this invention. As shown in drawing 1 corresponding to the input terminals 51 and 52 and the output terminals 53 and 54 this example is provided with PMOS transistors 1 and 2, NMOS transistors 3 and 4 and CMOS inverter circuits 5 and 6 and is constituted. Drawing 2 (a), (b) and (c) is a figure showing each waveform of operation in each node A, B, C, D, E and F of this example shown in drawing 1.

[0011] Hereafter operation of this example is explained with reference to drawing 1 and drawing 2.

[0012] In drawing 1 it corresponds to the complementary input signal inputted into the input terminals 51 and 52. When the node A is "H" level (about 1.7V) and the node B is the "L" level (about 0.9V) (Refer to drawing 2 (a)) Power-supply-voltage V_{DD} (5V) is supplied to the source of PMOS transistor 1. In [since gate potential is set to "H" level the on resistance value of PMOS transistor 1 becomes high and] NMOS transistor 3. Since power-supply-voltage V_{DD} (5V) is supplied to the gate and source potential is set to the "L" level the on resistance value of NMOS transistor 3 falls. The potential of the node D falls in about 1.5V (refer to drawing 2 (b)). CMOS inverter circuit 6 is reversed and the output potential in the output terminal 54 (node E) is outputted as power supply voltage (5V) (refer to drawing 2 (c)). As for PMOS transistor 2 in one side power-supply-voltage V_{DD} (5V) is supplied to source. In [since gate potential is set to the "L" level the on resistance value of PMOS transistor 2 falls and] NMOS transistor 3. Since power-supply-voltage V_{DD} (5V) is supplied to the gate and source potential is set to "H" level the on resistance value of NMOS transistor 4 becomes high. The potential of the node C rises to about 3.5V (refer to drawing 2 (b)). CMOS inverter circuit 5 is reversed and the output potential in the output terminal 53 (node F) is outputted as earth potentials (0V) (refer to drawing 2 (c)).

[0013] The potential of the node A corresponding to the complementary input signal inputted into the input terminals 51 and 52 on the "L" level. When the potential of the node B is "H" level power-supply-voltage V_{DD} (5V) is supplied to the source of (the drawing 2 (a) reference) and PMOS transistor 1. In [since gate potential is set to the "L" level the on resistance value of PMOS transistor 1 falls and] NMOS transistor 3. Since power-supply-voltage V_{DD} (5V) is supplied to the gate and source potential is set to "H" level the on resistance value of NMOS transistor 3 becomes high. The

potential of the node D rises to about 3.5V (refer to drawing 2 (b)) CMOS inverter circuit 6 is reversed and the output potential in the output terminal 54 (node E) is outputted as earth potentials (0V) (refer to drawing 2 (c)). On the other hand as for PMOS transistor 2 power-supply-voltage V_{DD} (5V) is supplied to source. In [since gate potential is set to "H" level the on resistance value of PMOS transistor 2 becomes high and] NMOS transistor 4 Since power-supply-voltage V_{DD} (5V) is supplied to the gate and source potential is set to the "L" level the on resistance value of NMOS transistor 4 falls The potential of the node C falls to about 1.5V (refer to drawing 2 (b)) CMOS inverter circuit 5 is reversed and the output potential in the output terminal 53 (node F) is outputted as power supply potential (5V) (refer to drawing 2 (c)).

[0014] Therefore the complementary input signal of about [0.8V] amplitude is changed and outputted to the complementary signal of the CMOS level which is 0V/5V.

[0015] Next the 2nd example of this invention is described. Drawing 3 is a circuit diagram showing this example. As shown in drawing 3 corresponding to the input terminals 51 and 52 and the output terminals 53 and 54 this example is provided with PMOS transistors 1 and 2 NMOS transistors 3 and 4 and CMOS inverter circuits 5 and 6 and is constituted. Drawing 4 (a)(b) and (c) is a figure showing each waveform of operation in each node A B and C D E and F of this example shown in drawing 1.

[0016] Hereafter operation of this example is explained with reference to drawing 3 and drawing 4.

[0017] In drawing 3 it corresponds to the complementary input signal inputted into the input terminals 51 and 52 When the node A is "H" level and the node B is the "L" level (Refer to drawing 4 (a)) Low potential power source voltage V_{SS} (-5V) is supplied to the source of NMOS transistor 3 In [since gate potential is set to "H" level the on resistance value of NMOS transistor 3 falls and] PMOS transistor 1 Low potential power source voltage V_{SS} (-5V) is supplied to the gate Since source potential is set to the "L" level the on resistance value of NMOS transistor 1 becomes high the potential of the node D falls (refer to drawing 4 (b)) CMOS inverter circuit 6 is reversed and the output potential in the output terminal 54 (node E) is outputted as earth potentials (0V). As for NMOS transistor 4 in one side low potential power source voltage V_{SS} (-5V) is supplied to source.

In [since gate potential is set to the "L" level the on resistance value of NMOS transistor 4 becomes high and] PMOS transistor 2 Low potential power source voltage V_{SS} (-5V) is supplied to the gate Since source potential is set to "H" level the on resistance value of PMOS transistor 2 falls the potential of the node C rises (refer to drawing 2 (b)) CMOS inverter circuit 5 is reversed and the output potential in the output terminal 53 (node F) is outputted as low potential power source potential (-5V).

[0018] The potential of the node A corresponding to the complementary input signal

inputted into the input terminals 51 and 52 on the "L" level. When the potential of the node B is "H" level low potential power source voltage V_{ss} (-5V) is supplied to the source of (the drawing 4 (a) reference) and NMOS transistor 3. In [since gate potential is set to the "L" level the on resistance value of NMOS transistor 3 becomes high and] PMOS transistor 1. Low potential power source voltage V_{ss} (-5V) is supplied to the gate. Since source potential is set to "H" level the on resistance value of NMOS transistor 1 falls the potential of the node D rises (refer to drawing 4 (b)). CMOS inverter circuit 6 is reversed and the output potential in the output terminal 54 (node E) is outputted as low potential power source potential (-5V). On the other hand as for NMOS transistor 4 low potential power source voltage V_{ss} (-5V) is supplied to source. In [since gate potential is set to "H" level the on resistance value of NMOS transistor 4 falls and] PMOS transistor 2. Low potential power source voltage V_{ss} (-5V) is supplied to the gate. Since source potential is set to the "L" level the on resistance value of PMOS transistor 2 becomes high the potential of the node C falls (refer to drawing 4 (b)). CMOS inverter circuit 5 is reversed and the output potential in the output terminal 53 (node F) is outputted as earth potentials (0V).

[0019] Therefore the complementary input signal of about [0.8V] amplitude is changed and outputted to the complementary signal of the CMOS level which are 0V/-5V.

[0020]

[Effect of the Invention] As explained above there is an effect which this invention is effective in the circuit which changes the level of a complementary signal using a smaller number of MOS transistors being realizable and reduces the power consumption of a complementary-type level conversion circuit by this that things can be carried out.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a circuit diagram showing the 1st example of this invention.

[Drawing 2] It is a figure showing the waveform of operation in each node of the 1st example.

[Drawing 3] It is a circuit diagram showing the 2nd example of this invention.

[Drawing 4] It is a figure showing the waveform of operation in each node of the 2nd example.

[Drawing 5] It is a circuit diagram showing a conventional example.

[Drawing 6] It is a figure showing the waveform of operation in each node of a conventional example.

[Description of Notations]

12891617 PMOS transistors

3410111415 NMOS transistors

561218 CMOS inverter circuits

7 and 13 Single-ended level conversion circuit

(19)日本国特許庁（J P）

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-177744

(43)公開日 平成6年(1994)6月24日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 K 19/0185

8941-5 J

H 0 3 K 19/ 00

1 0 1 E

審査請求 未請求 請求項の数2(全 5 頁)

(21)出願番号

特願平4-325117

(22)出願日

平成4年(1992)12月4日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 中野 文雄

東京都港区芝五丁目7番1号日本電気株式会社内

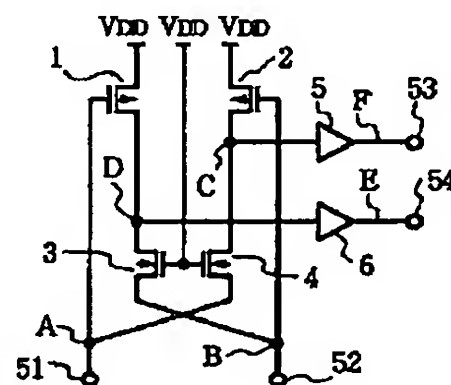
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 レベル変換回路

(57)【要約】

【目的】回路規模を縮小し、消費電力を低減するレベル変換回路を提供する。

【構成】本発明のレベル変換回路は、ソースに高電位側の電源電圧 V_{DD} が供給され、ゲートが入力端子51に接続されて、ドレインが節点Dに接続されるPMOSトランジスタ1と、ドレインが前記節点Dに接続され、ゲートに高電位側の電源電圧 V_{DD} が供給されて、ソースが入力端子52に接続されるNMOSトランジスタ3と、ソースに高電位側の電源電圧 V_{DD} が供給され、ゲートが入力端子52に接続されて、ドレインが節点Cに接続されるPMOSトランジスタ2と、ドレインが前記節点Cに接続され、ゲートに高電位側の電源電圧 V_{DD} が供給されて、ソースが入力端子51に接続されるNMOSトランジスタ4と、入力端が前記節点Cに接続され、出力端が出力端子53に接続されるCMOSインバータ回路5と、入力端が前記節点Dに接続され、出力端が出力端子54に接続されるCMOSインバータ回路6とを備えている。



1,2・・・PMOS トランジスタ

3,4・・・NMOS トランジスタ

5,6・・・CMOS インバータ回路

【特許請求の範囲】

【請求項1】 ソースに高電位側の電源が供給され、ゲートが第1の入力端子に接続されて、ドレインが所定の節点Dに接続される第1のPMOSトランジスタと、ドレインが前記節点Dに接続され、ゲートに高電位側の電源が供給されて、ソースが第2の入力端子に接続される第1のNMOSトランジスタと、ソースに高電位側の電源が供給され、ゲートが前記第2の入力端子に接続されて、ドレインが所定の節点Cに接続される第2のPMOSトランジスタと、ドレインが前記節点Cに接続され、ゲートに高電位側の電源が供給されて、ソースが前記第1の入力端子に接続される第2のNMOSトランジスタと、入力端が前記節点Cに接続され、出力端が第1の出力端子に接続される第1のCMOSバッファ回路と、入力端が前記節点Dに接続され、出力端が第2の出力端子に接続される第2のCMOSバッファ回路と、を備えることを特徴とするレベル変換回路。

【請求項2】 ソースに低電位側の電源が供給され、ゲートが第1の入力端子に接続されて、ドレインが所定の節点Dに接続される第1のNMOSトランジスタと、ドレインが前記節点Nに接続され、ゲートに低電位側の電源が供給されて、ソースが第2の入力端子に接続される第1のPMOSトランジスタと、ソースに低電位側の電源が供給され、ゲートが前記第2の入力端子に接続されて、ドレインが所定の節点Cに接続される第2のNMOSトランジスタと、ドレインが前記節点Cに接続され、ゲートに低電位側の電源が供給されて、ソースが前記第1の入力端子に接続される第2のPMOSトランジスタと、入力端が前記節点Cに接続され、出力端が第1の出力端子に接続される第1のCMOSバッファ回路と、入力端が前記節点Dに接続され、出力端が第2の出力端子に接続される第2のCMOSバッファ回路と、を備えることを特徴とするレベル変換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はレベル変換回路に関し、特に小振幅の高速相補信号をCMOS論理レベルに変換するために用いられるレベル変換回路に関する。

【0002】

【従来の技術】 従来のレベル変換回路は、図5に一例が示されるように、振幅0.8V（振幅の中心合電圧：

1.3V程度）程度の相補信号を受けて、CMOSの論理レベル変換する回路として構成される。図5に示されるように、従来のレベル変換回路は、入力端子51、52および出力端子53、54に対応して、PMOSトランジスタ8および9、NMOSトランジスタ10および11、CMOSインバータ回路12より成るシングルエンド・レベル変換回路7と、NMOSトランジスタ14

および15、PMOSトランジスタ16および17、CMOSインバータ回路18より成るシングルエンド・レベル変換回路13とを備えて構成される。また、図6

(a)、(b)および(c)は、図5に示される本従来例の各節点A、B、C、D、EおよびFにおける各動作波形を示す図である。

【0003】 始めにシングルエンド・レベル変換回路7の動作について説明する。図5において、入力端子51および52に入力される相補入力信号に対応して、シングルエンド・レベル変換回路7における節点Aが“H”レベル（1.7V程度）、節点Bが“L”レベル（0.9V程度）の時には、PMOSトランジスタ8のソースには電源電圧 V_{DD} が供給されており、ゲート電位が“H”レベルになるためにPMOSトランジスタ8のオン抵抗値は高くなり、またNMOSトランジスタ10においては、ゲートがドレインに接続されており、ソース電位が“L”レベルになるためにNMOSトランジスタ10のオン抵抗値が低下して、節点Dの電位は2V程度に下がる。一方において、PMOSトランジスタ9は、ソースに電源電圧 V_{DD} が供給されており、ゲート電位が“L”レベルになるためにPMOSトランジスタ9のオン抵抗値は低下し、NMOSトランジスタ11においては、ゲートが節点Dに接続されており、ソース電位が“H”レベルになるためにNMOSトランジスタ11のオン抵抗値が高くなり、節点Cの電位は4V程度に上昇する。従って、出力端子53（節点Fの電位）における出力の電位は、CMOSインバータ回路12により反転されて、接地電位として出力される。

【0004】 また、入力端子51および52に入力される相補入力信号に対応して、節点Aの電位が“L”レベルで、節点Bの電位が“H”レベルの時には、PMOSトランジスタ8のソースには電源電圧 V_{DD} が供給されており、ゲート電位が“L”レベルになるためにPMOSトランジスタ8のオン抵抗値が低下し、またNMOSトランジスタ10においては、ゲートがドレインに接続されており、ソース電位が“H”レベルになるためにNMOSトランジスタ10のオン抵抗値が高くなり、節点Dの電位は3V程度に上昇する。他方において、PMOSトランジスタ9は、ソースに電源電圧 V_{DD} が供給されており、ゲート電位が“H”レベルになるためにPMOSトランジスタ9のオン抵抗値は高くなり、NMOSトランジスタ11においては、ゲートが節点Dに接続されており、ソース電位が“L”レベルになるためにNMOSトランジスタ11のオン抵抗値が低下し、節点Cの電位は1V程度に下がる。従って、出力端子53における出力の電位（節点Fの電位）は、CMOSインバータ回路12により反転されて、電源電位（5V）として出力される。

【0005】 また、シングルエンド・レベル変換回路13の動作についても、上述のシングルエンド・レベル変

換回路 7 の場合と同様であるが、入力、シングルエンド・レベル変換回路 7 とは逆の接続となっているために、出力端子 5 4 (節点 E) からは、出力端子 5 3 の出力に対して逆相の信号が出力される。従って、0. 8 V 程度の振幅の相補入力信号が 0 / 5 V の CMOS レベルの相補信号に変換されて出力される。

【0006】

【発明が解決しようとする課題】 上述した従来のレベル変換回路においては、シングルエンド・レベル変換回路を二つ用いているために、回路規模として MOS トランジスタを 1 2 個程度も必要する程に大きくなるという欠点があり、且つ、そのために要する消費電力も増大するという欠点がある。

【0007】

【課題を解決するための手段】 第 1 の発明のレベル変換回路は、ソースに高電位側の電源が供給され、ゲートが第 1 の入力端子に接続されて、ドレインが所定の節点 D に接続される第 1 の PMOS トランジスタと、ドレインが前記節点 D に接続され、ゲートに高電位側の電源が供給されて、ソースが第 2 の入力端子に接続される第 1 の NMOS トランジスタと、ソースに高電位側の電源が供給され、ゲートが前記第 2 の入力端子に接続されて、ドレインが所定の節点 C に接続される第 2 の PMOS トランジスタと、ドレインが前記節点 C に接続され、ゲートに高電位側の電源が供給されて、ソースが前記第 1 の入力端子に接続される第 2 の NMOS トランジスタと、入力端が前記節点 C に接続され、出力端が第 1 の出力端子に接続される第 1 の CMOS バッファ回路と、入力端が前記節点 D に接続され、出力端が第 2 の出力端子に接続される第 2 の CMOS バッファ回路と、を備えることを特徴としている。

【0008】 また、第 2 の発明のレベル変換回路は、ソースに低電位側の電源が供給され、ゲートが第 1 の入力端子に接続されて、ドレインが所定の節点 D に接続される第 1 の NMOS トランジスタと、ドレインが前記節点 N に接続され、ゲートに低電位側の電源が供給されて、ソースが第 2 の入力端子に接続される第 1 の PMOS トランジスタと、ソースに低電位側の電源が供給され、ゲートが前記第 2 の入力端子に接続されて、ドレインが所定の節点 C に接続される第 2 の NMOS トランジスタと、ドレインが前記節点 C に接続され、ゲートに低電位側の電源が供給されて、ソースが前記第 1 の入力端子に接続される第 2 の PMOS トランジスタと、入力端が前記節点 C に接続され、出力端が第 1 の出力端子に接続される第 1 の CMOS バッファ回路と、入力端が前記節点 D に接続され、出力端が第 2 の出力端子に接続される第 2 の CMOS バッファ回路と、を備えることを特徴としている。

【0009】

【実施例】 次に、本発明について図面を参照して説明す

る。

【0010】 図 1 は本発明の第 1 の実施例を示す回路図である。図 1 に示されるように、本実施例は、入力端子 5 1、5 2 および出力端子 5 3、5 4 に対応して、PMOS トランジスタ 1 および 2 と、NMOS トランジスタ 3 および 4 と、CMOS インバータ回路 5 および 6 とを備えて構成される。また、図 2 (a)、(b) および (c) は、図 1 に示される本実施例の各節点 A、B、C、D、E および F における各動作波形を示す図である。

【0011】 以下、図 1 および図 2 を参照して本実施例の動作について説明する。

【0012】 図 1 において、入力端子 5 1 および 5 2 に入力される相補入力信号に対応して、節点 A が “H” レベル (1. 7 V 程度)、節点 B が “L” レベル (0. 9 V 程度) の時には (図 2 (a) 参照)、PMOS トランジスタ 1 のソースには電源電圧 V_{DD} (5 V) が供給されており、ゲート電位が “H” レベルになるために PMOS トランジスタ 1 のオン抵抗値は高くなり、また NMOS トランジスタ 3 においては、ゲートに電源電圧 V_{DD} (5 V) が供給されており、ソース電位が “L” レベルになるために NMOS トランジスタ 3 のオン抵抗値が低下して、節点 D の電位は 1. 5 V 程度に下がり (図 2 (b) 参照)、出力端子 5 4 (節点 E) における出力電位は、CMOS インバータ回路 6 により反転されて、電源電圧 (5 V) として出力される (図 2 (c) 参照)。一方において、PMOS トランジスタ 2 は、ソースに電源電圧 V_{DD} (5 V) が供給されており、ゲート電位が “L” レベルになるために PMOS トランジスタ 2 のオン抵抗値は低下し、NMOS トランジスタ 3 においては、ゲートに電源電圧 V_{DD} (5 V) が供給されており、ソース電位が “H” レベルになるために NMOS トランジスタ 4 のオン抵抗値が高くなって、節点 C の電位は 3. 5 V 程度に上昇し (図 2 (b) 参照)、出力端子 5 3 (節点 F) における出力電位は、CMOS インバータ回路 5 により反転されて、接地電位 (0 V) として出力される (図 2 (c) 参照)。

【0013】 また、入力端子 5 1 および 5 2 に入力される相補入力信号に対応して、節点 A の電位が “L” レベルで、節点 B の電位が “H” レベルの時には (図 2 (a) 参照)、PMOS トランジスタ 1 のソースには電源電圧 V_{DD} (5 V) が供給されており、ゲート電位が “L” レベルになるために PMOS トランジスタ 1 のオン抵抗値が低下し、また NMOS トランジスタ 3 においては、ゲートに電源電圧 V_{DD} (5 V) が供給されており、ソース電位が “H” レベルになるために NMOS トランジスタ 3 のオン抵抗値が高くなって、節点 D の電位は 3. 5 V 程度に上昇し (図 2 (b) 参照)、出力端子 5 4 (節点 E) における出力電位は、CMOS インバータ回路 6 により反転されて、接地電位 (0 V) として出

力される(図2(c)参照)。一方、PMOSトランジスタ2は、ソースに電源電圧 V_{DD} (5V)が供給されており、ゲート電位が“H”レベルになるためにPMOSトランジスタ2のオン抵抗値は高くなり、NMOSトランジスタ4においては、ゲートに電源電圧 V_{DD} (5V)が供給されており、ソース電位が“L”レベルになるためにNMOSトランジスタ4のオン抵抗値が低下して、節点Cの電位は1.5V程度に低下し(図2(b)参照)、出力端子53(節点F)における出力電位は、CMOSインバータ回路5により反転されて、電源電位(5V)として出力される(図2(c)参照)。

【0014】従って、0.8V程度の振幅の相補入力信号が0V/5VのCMOSレベルの相補信号に変換されて出力される。

【0015】次に、本発明の第2の実施例について説明する。図3は本実施例を示す回路図である。図3に示されるように、本実施例は、入力端子51、52および出力端子53、54に対応して、PMOSトランジスタ1および2と、NMOSトランジスタ3および4と、CMOSインバータ回路5および6とを備えて構成される。また、図4(a)、(b)および(c)は、図1に示される本実施例の各節点A、B、C、D、EおよびFにおける各動作波形を示す図である。

【0016】以下、図3および図4を参照して本実施例の動作について説明する。

【0017】図3において、入力端子51および52に入力される相補入力信号に対応して、節点Aが“H”レベル、節点Bが“L”レベルの時には(図4(a)参照)、NMOSトランジスタ3のソースには低電位電源電圧 V_{SS} (-5V)が供給されており、ゲート電位が“H”レベルになるためにNMOSトランジスタ3のオン抵抗値は低下し、またPMOSトランジスタ1においては、ゲートに低電位電源電圧 V_{SS} (-5V)が供給されており、ソース電位が“L”レベルになるためにNMOSトランジスタ1のオン抵抗値が高くなって節点Dの電位が低下し(図4(b)参照)、出力端子54(節点E)における出力電位は、CMOSインバータ回路6により反転されて、接地電位(0V)として出力される。一方において、NMOSトランジスタ4は、ソースに低電位電源電圧 V_{SS} (-5V)が供給されており、ゲート電位が“L”レベルになるためにNMOSトランジスタ4のオン抵抗値は高くなり、またPMOSトランジスタ2においては、ゲートに低電位電源電圧 V_{SS} (-5V)が供給されており、ソース電位が“H”レベルになるためにPMOSトランジスタ2のオン抵抗値が低下して節点Cの電位が上昇し(図2(b)参照)、出力端子53(節点F)における出力電位は、CMOSインバータ回路5により反転されて、低電位電源電位(-5V)として出力される。

【0018】また、入力端子51および52に入力される相補入力信号に対応して、節点Aの電位が“L”レベルで、節点Bの電位が“H”レベルの時には(図4

(a)参照)、NMOSトランジスタ3のソースには低電位電源電圧 V_{SS} (-5V)が供給されており、ゲート電位が“L”レベルになるためにNMOSトランジスタ3のオン抵抗値が高くなり、またPMOSトランジスタ1においては、ゲートに低電位電源電圧 V_{SS} (-5V)が供給されており、ソース電位が“H”レベルになるためにNMOSトランジスタ1のオン抵抗値が低下して節点Dの電位が上昇し(図4(b)参照)、出力端子54(節点E)における出力電位は、CMOSインバータ回路6により反転されて、低電位電源電位(-5V)として出力される。一方、NMOSトランジスタ4は、ソースに低電位電源電圧 V_{SS} (-5V)が供給されており、ゲート電位が“H”レベルになるためにNMOSトランジスタ4のオン抵抗値が低下し、またPMOSトランジスタ2においては、ゲートに低電位電源電圧 V_{SS} (-5V)が供給されており、ソース電位が“L”レベルになるためにPMOSトランジスタ2のオン抵抗値が高くなって節点Cの電位が低下し(図4(b)参照)、出力端子53(節点F)における出力電位は、CMOSインバータ回路5により反転されて、接地電位(0V)として出力される。

【0019】従って、0.8V程度の振幅の相補入力信号が0V/-5VのCMOSレベルの相補信号に変換されて出力される。

【0020】

【発明の効果】以上説明したように、本発明は、より少ない数のMOSトランジスタを用いて相補信号のレベルを変換する回路を実現することができるという効果があり、且つ、これにより相補型レベル変換回路の消費電力を削減することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す回路図である。

【図2】第1の実施例の各節点における動作波形を示す図である。

【図3】本発明の第2の実施例を示す回路図である。

【図4】第2の実施例の各節点における動作波形を示す図である。

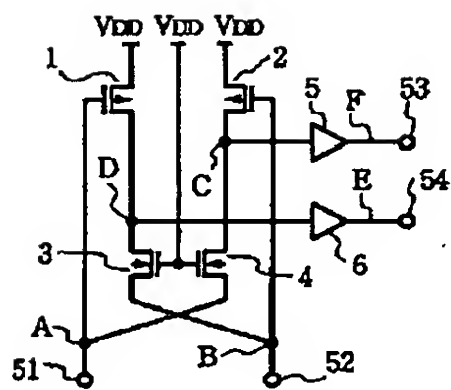
【図5】従来例を示す回路図である。

【図6】従来例の各節点における動作波形を示す図である。

【符号の説明】

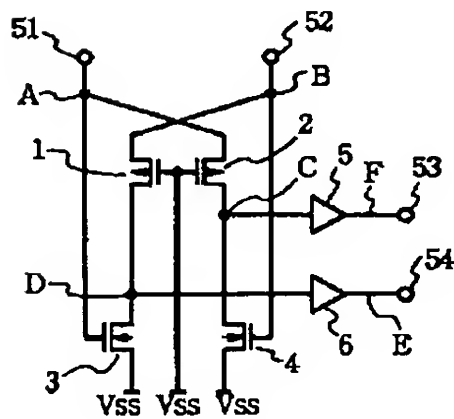
1、2、8、9、16、17 PMOSトランジスタ
3、4、10、11、14、15 NMOSトランジスタ
5、6、12、18 CMOSインバータ回路
7、13 シングルエンド・レベル変換回路

【図1】



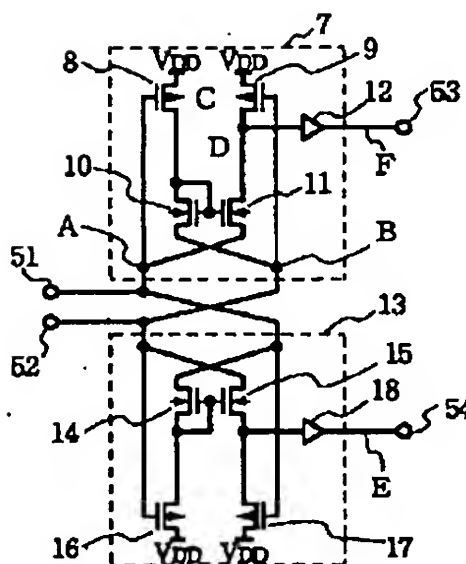
1,2・・・PMOS トランジスタ
3,4・・・NMOS トランジスタ
5,6・・・CMOS インバータ回路

【図3】



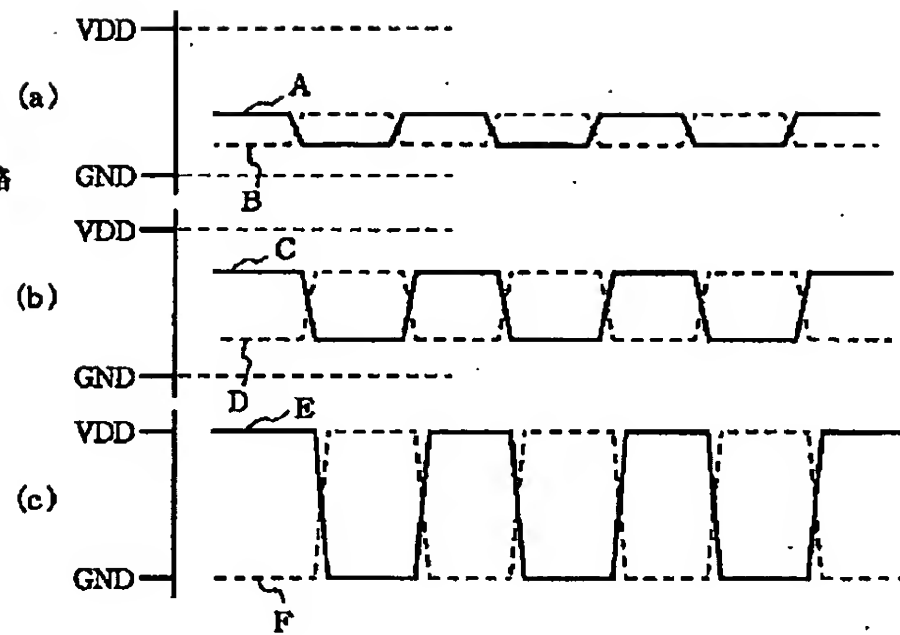
1,2・・・PMOS トランジスタ
3,4・・・NMOS トランジスタ
5,6・・・CMOS インバータ回路

【図5】

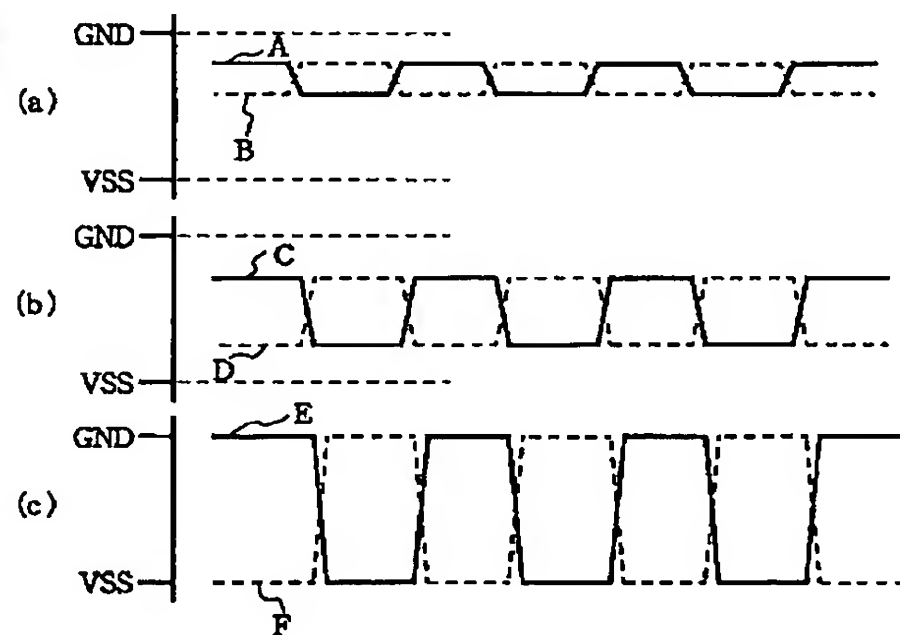


7,13・・・
シングルエンドレベル変換回路
8,9,16,17
・・・PMOS トランジスタ
10,11,12,14,15
・・・NMOS トランジスタ
12,18
・・・CMOS インバータ回路

【図2】



【図4】



【図6】

